

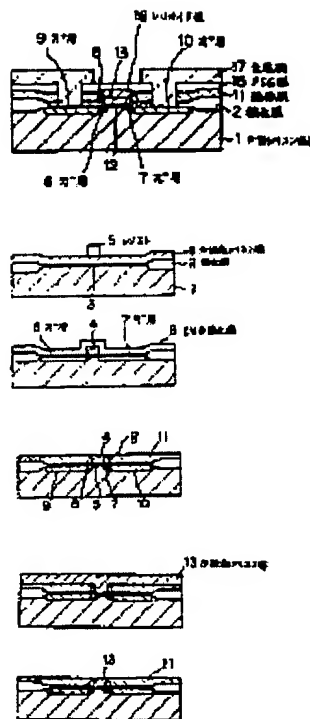
# MANUFACTURE OF SEMICONDUCTOR DEVICE

**Patent number:** JP3248433  
**Publication date:** 1991-11-06  
**Inventor:** OOKA HIDEYUKI  
**Applicant:** NEC CORP  
**Classification:**  
 - **International:** H01L21/336; H01L21/265; H01L29/784  
 - **European:**  
**Application number:** JP19900046114 19900226  
**Priority number(s):**

## Abstract of JP3248433

**PURPOSE:** To prevent electrostatic breakdown of a gate insulating film due to ion implantation and to enable high integration and high yield by carrying out ion implantation of high concentration for source/drain formation, by forming a thin gate insulating film thereafter, and by forming a gate electrode in self-alignment against a source/drain layer.

**CONSTITUTION:** A field oxide film 2 is formed on a P-type silicon substrate 1, a heat oxide film 3 is formed on an element formation region and a phosphorus added polycrystalline silicon film 4 is further deposited. Then, a resist film 5 is formed and the polycrystalline silicon film 4 is anisotropically etched selectively, and phosphorus is ion-implanted in self-alignment to form n<sup>-</sup>-layers 6, 7. Then, an oxide film 8 is deposited and isotropically etched to remain only on a sidewall of the polycrystalline silicon film 4, arsenic is ion-implanted in self-matching, and n<sup>+</sup>-layers 9, 10 are formed. An insulating film 11 is deposited and selectively etched and removed to expose an upper side of the polycrystalline silicon layer 4, the exposed oxide film 3 is wet-etched, a gate oxide film 12 is formed, and conductive film 13 is deposited and selectively etched to form a gate electrode 13.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-248433

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月6日

H 01 L 21/336  
21/265  
29/784

8422-5F H 01 L 29/78 3 0 1 Y  
8422-5F 3 0 1 L  
7738-5F 21/265 N

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-46114

⑰ 出 願 平2(1990)2月26日

⑱ 発 明 者 大 岡 秀 幸 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板上に素子分離領域を形成する工程と、前記素子分離領域により分離された素子形成領域に第1絶縁膜を形成する工程と、前記基板上に第2被膜を形成し、前記第2被膜のゲート電極予定部にレジストパターンを形成する工程と、前記レジストパターンをマスクとして、前記第2被膜を選択的にエッチングする工程と、前記ゲート電極パターンを有する第2被膜に対し、自己整合的に低濃度ソース・ドレイン層を形成する工程と、前記第2被膜の少なくとも側壁に第3被膜を形成する工程と、前記第3被膜を形成された第2被膜パターンに対し、自己整合的に高濃度ソース・ドレイン層を形成する工程と、前記基板上の全面に絶縁性被膜を堆積し、前記絶縁性被膜を前記第2及び第3被膜で構成されたゲート電極パターンの上面が露出するまで選択的にエッチング

除去する工程と、少なくとも前記第2被膜を選択的に除去し、露出したゲート電極予定部の第1絶縁膜を除去する工程と、前記ゲート電極予定部の半導体基板表面上にゲート絶縁膜を形成する工程と、前記基板上に導電膜を堆積し、前記導電膜をゲート電極予定部にのみ残るように選択的にエッチング除去し、ゲート電極を形成する工程とを有する半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に微細な絶縁ゲート型電界効果トランジスタ(以下、MOSトランジスタと略記する)を歩留り良く形成する半導体装置の製造方法に関する。

(従来の技術)

半導体装置の高集積化に伴い、該装置内で使用されるMOSトランジスタの微細化が急がれている。微細化に従いMOSトランジスタの内部電界強度が増大し、これがデバイスの信頼性に関し、問題となりつつある。

第5図はこの種の半導体装置の従来例を示す縦断面図、第6図(a)、(b)、～、(c)は第5図の従来例を形成する工程を示す縦断面図である。

第6図(a)に示すように、P型シリコン基板1上に選択酸化法等により素子分離用の厚い酸化膜2を形成し、その後、活性領域上に、ゲート酸化膜12を形成する。続いて、基板表面上にゲート電極用の導電膜として例えば多結晶シリコン膜4を成長し、その上にレジスト膜のゲート電極パターン5を形成する。なお、図示しないが、フィールド酸化膜2の直下にはチャネルストップ用のP型高不純物層を形成してもよい。また、チャネル領域の半導体基板表面には、トランジスタのしきい値を調整するため、適当な不純物添加をする。

次に第6図(b)に示すように、ゲート電極13を形成し、ゲート電極13とフィールド酸化膜2に対して自己整合的に例えばリンを $10^{12}\text{cm}^{-2}$ 程度イオン注入して、 $n^+$ ソース・ドレイン層6、7を形成する。その後、第6図(c)に示すよう

に、基板上に例えば気相成長法により酸化膜8を堆積する。そして、この酸化膜を選択的に異方性エッチし、ゲート4の側壁にのみ残すようにする。次に、第6図(d)に示すように、側壁酸化膜8を含むゲート領域に例えばヒ素を $10^{13}\text{cm}^{-2}$ 程度イオン注入し、 $n^+$ ソース・ドレイン層9、10を形成する。その後、第6図(e)に示すように層間絶縁膜15を堆積し、以下、通常のプロセスにより、金属配線をほどこして、第5図に示すMOSトランジスタを得る。この構造のMOSトランジスタは、ソース・ドレイン層がゲートとオーバーラップするチャネル領域側に $n^+$ 層を有するため、従来の単独ドレイン構造に比べ、ドレイン端での電界強度が緩和されるという利点がある。

(発明が解決しようとする課題)

ところで、MOSトランジスタの微細化には、ゲート長の縮小と同時にゲート絶縁膜の薄膜化が重要である。

しかし、上述した従来の製造方法では、ゲート

絶縁膜を薄膜化する際、下記のような問題が生じる。まず従来法では、形成されたゲート電極に対して、自己整合的にソース・ドレイン拡散層を形成することを目的に、高ドーズのイオン注入をゲート形成後に行なっている。イオン注入法は荷電粒子を半導体基板に打込む方法であるため、本質的に帯電現象を伴う。ゲート絶縁膜が薄膜化されるに従い、このイオン注入工程による静電破壊が顕在化し、今後、前述した従来法では、MOSトランジスタの製造歩留りの低下が懸念される。

また、MOSトランジスタの短チャネル化に際し、チャネル領域の半導体基板表面濃度を高める必要があるが、従来法では、チャネル領域以外の余分な領域にも、チャネルドープが行なわれる。このためソース・ドレインの拡散層容量が増大し、デバイスの動作速度を低下させる原因となる。

本発明は上記の欠点に鑑み、ソース・ドレイン拡散層を形成した後、チャネル領域上に薄いゲート酸化膜を介して自己整合的にゲート電極を配置

して、製造歩留りのよい、かつ、デバイスの動作速度を低下させない半導体装置の製造方法を提供することを解決すべき課題とする。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、半導体基板上に素子分離領域を形成する工程と、前記素子分離領域により分離された素子形成領域に第1絶縁膜を形成する工程と、前記基板上に第2被膜を形成し、前記第2被膜のゲート電極予定部上にレジストパターンを形成する工程と、前記レジストパターンをマスクとして、前記第2被膜を選択的にエッチングする工程と、前記ゲート電極パターンを有する第2被膜に対し、自己整合的に低濃度ソース・ドレイン層を形成する工程と、前記第2被膜の少なくとも側壁に第3被膜を形成する工程と、前記第3被膜を形成された第2被膜パターンに対し、自己整合的に高濃度ソース・ドレイン層を形成する工程と、前記基板上の全面に絶縁性被膜を堆積し、前記絶縁性被膜を前記第2及び第3被膜で構成されたゲート電極パターンの上面が露

出するまで選択的にエッチング除去する工程と、少なくとも前記第2被膜を選択的に除去し、露出したゲート電極予定部上の第1絶縁膜を除去する工程と、前記ゲート電極予定部の半導体基板表面上にゲート絶縁膜を形成する工程と、前記基板上に導電膜を堆積し、前記導電膜をゲート電極予定部にのみ残るように選択的にエッチング除去し、ゲート電極を形成する工程とを有する。

(作 用)

ソース・ドレイン形成のための高濃度のイオン注入を行なった後、薄いゲート絶縁膜を形成し、ソース・ドレイン層に対して、自己整合的にゲート電極を形成し、イオン注入によるゲート絶縁膜の静電破壊を防止する。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の半導体装置の製造方法の第1の実施例を示す半導体装置(MOSTランジスタ)の縦断面図、第2図(a),(b),~,(j)は第1図

の製造工程を示す断面図、第3図は本発明の第2の実施例を示すMOSTランジスタの縦断面図、第4図(a),(b),~,(i)は第3図の実施例の製造工程を示す断面図である。本実施例では、 $n^+$ 層とゲート電極をオーバーラップさせているため、LDDトランジスタの $n^+$ 層による寄生抵抗の影響を緩和することができる。

第1図は本発明の半導体装置の製造方法の第1の実施例を示す半導体装置(MOSTランジスタ)の縦断面図、第2図(a),(b),~,(j)は第1図の製造工程を示す断面図、第3図は本発明の第2の実施例を示すMOSTランジスタの縦断面図、第4図(a),(b),~,(i)は第3図の実施例の製造工程を示す断面図である。本実施例では、 $n^+$ 層とゲート電極をオーバーラップさせているため、LDDトランジスタの $n^+$ 層による寄生抵抗の影響を緩和することができる。

第1図は本発明の半導体装置の製造方法の第1の実施例を示す半導体装置(MOSTランジスタ)の縦断面図、第2図(a),(b),~,(j)は第1図の製造工程を示す断面図、第3図は本発明の第2の実施例を示すMOSTランジスタの縦断面図、第4図(a),(b),~,(i)は第3図の実施例の製造工程を示す断面図である。本実施例では、 $n^+$ 層とゲート電極をオーバーラップさせているため、LDDトランジスタの $n^+$ 層による寄生抵抗の影響を緩和することができる。

の実施例の製造工程を示す工程図である。

第2図(a)に示すように、P型シリコン基板1上に選択酸化法によりフィールド酸化膜2(以降、酸化膜2と記す)を形成し、素子形成領域上には、熱酸化膜3を形成する。さらに、例えばリン添加多結晶シリコン膜4を2000Å~8000Å堆積する。そして、ゲート電極パターンを有するレジスト膜5を例えばフォトリソグラフィにより形成する。次にレジスト膜5をマスクに多結晶シリコン膜を選択的に異方性エッチし、第2図(b)に示すように、この多結晶シリコン膜4に対し自己整合的に例えばリンを加速エネルギー20KeVないし50KeVで $10^{13}cm^{-2}$ 程度イオン注入し、 $n^+$ 層6,7を形成する。そして基板上に例えば酸化膜を1000Å~4000Å程度気相成長法により堆積する。次に第2図(c)に示すように、酸化膜8を異方性エッチし、多結晶シリコン膜4の側壁にのみ残す。そして、この側壁酸化膜8に対して自己整合的に、例えばヒ素を注入エネルギー50KeV~80KeVで $10^{14}$

後、第2図(j)に示すように層間絶縁膜15を形成し、以下通常の工程を経て、第1図のMOSTランジスタを得る。

第3図は本発明の第2の実施例を示すMOSTランジスタの縦断面図、第4図(a),(b),~,(i)は第3図の実施例の製造工程を示す工程図である。本実施例では、 $n^+$ 層とゲート電極をオーバーラップさせているため、LDDトランジスタの $n^+$ 層による寄生抵抗の影響を緩和することができる。

素子分離領域を形成し、第4図(a)に示すように、素子領域上に熱酸化膜3を成長し、ゲート電極予定部をおおう多結晶シリコンパターン4を形成した後、この多結晶シリコン膜に対し、自己整合的に $n^+$ 層6,7を形成するまでは、第1の実施例と同様である。次に第4図(b)に示すように、多結晶シリコン表面にタングステン膜14等を選択的に1000Å~3000Å程度気相成長法により成長する。そして第4図(c)に示すように、タングステン膜14に対して、自己整合的に

n<sup>+</sup>層9、10を形成する。次に第4図(d)に示すように、絶縁膜11例えば気相成長による酸化膜、BPSG膜、あるいは塗布膜等を成長する。その後、第4図(e)に示すように、絶縁膜11をタングステン膜14の上面が露出するまで選択エッチする。次に第4図(f)に示すように露出したタングステン膜及び多結晶シリコン膜を順次ウェットエッチ等により選択的に除去する。ここで、露出したゲート領域のシリコン基板表面に、パシスルー防止及び、しきい値電圧調整のため、例えばボロンを20 KeV ~ 200 KeVの加速エネルギーで $10^{11} \sim 10^{12} \text{ cm}^{-2}$ 程度イオン注入する。その後、酸化膜3をウェットエッチ等により除去した後、30 Å ~ 100 Å程度のゲート酸化膜12を形成する。そして第4図(g)に示すように、ゲート電極予定部を含む基板上に、導電膜13、例えば多結晶シリコン膜あるいは高融点金属膜等を形成する。その後、第4図(h)に示すように、導電膜13を少なくともゲート領域に残るように選択エッチする。そして第4図(i)に示す

ように層間絶縁膜15を形成し、以下通常の工程を経て、第2図に示すMOSトランジスタを得る。

#### (発明の効果)

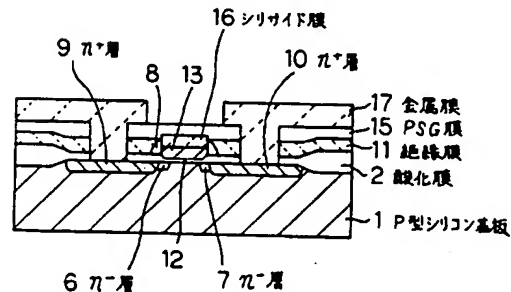
以上説明したように、本発明は、ソース・ドレイン形成のための高濃度のイオン注入を行なった後、薄いゲート絶縁膜を形成し、ソース・ドレイン層に対して、自己整合的にゲート電極を形成できることにより、イオン注入によるゲート絶縁膜の静電破壊を防止できる効果があり、プロセス制御性の良いイオン注入法が、従来通り適用できるため高集積度の半導体装置を高歩留りで再現性良く製造できる効果もあり、さらに、チャネル領域にのみ、パシスルー防止用の不純物添加が可能のため、拡散層容量の増大を抑制でき、高速な半導体装置を製造できる効果もある。

#### 4. 図面の簡単な説明

第1図は本発明の半導体装置の製造方法の第1の実施例を示す半導体装置(MOSトランジスタ)の縦断面図、第2図(a)、(b)、～、(j)は第1図

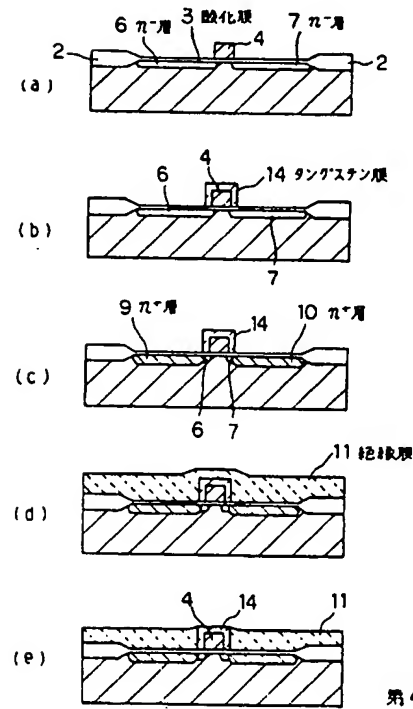
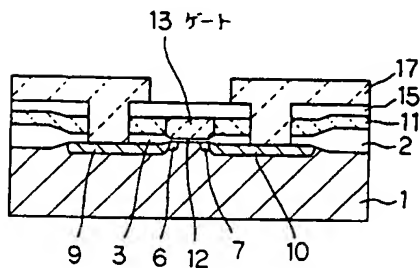
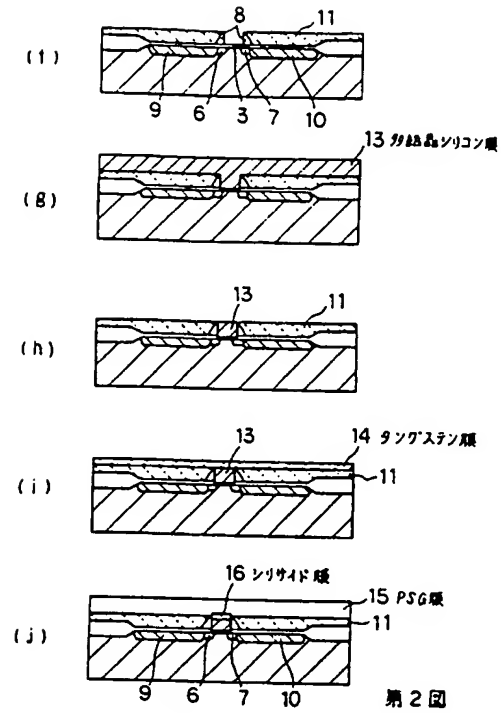
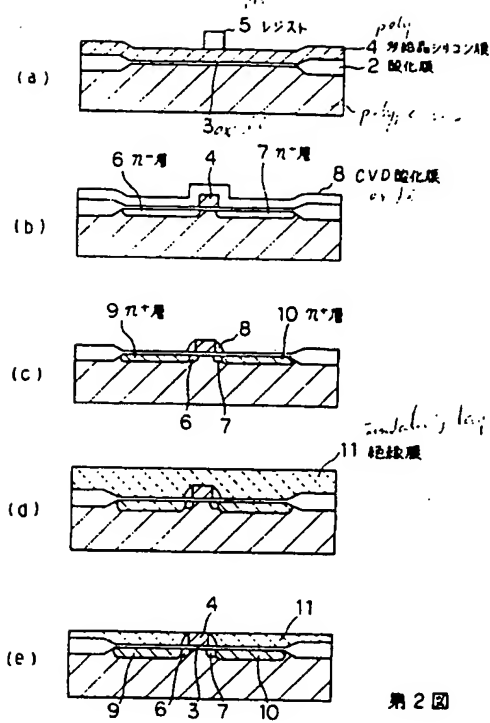
の実施例の製造工程を示す工程図、第3図は本発明の第2の実施例を示すMOSトランジスタの縦断面図、第4図(a)、(b)、～、(i)は第3図の実施例の製造工程を示す工程図、第5図はこの種の半導体の従来例を示す縦断面図、第6図(a)、(b)、～、(e)は第5図の従来例を形成する工程を示す縦断面図である。

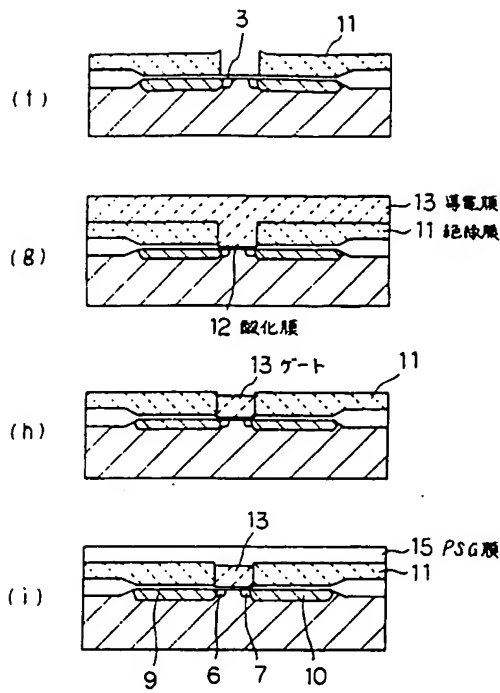
- 1 …… P型シリコン基板、
- 2、3、8、12 …… 酸化膜、
- 4 …… 多結晶シリコン膜、
- 5 …… レジスト膜、
- 6、7 …… n<sup>+</sup>層、
- 9、10 …… n<sup>+</sup>層、
- 11 …… 絶縁膜、
- 13 …… 導電膜
- 16 …… シリサイド膜、
- 17 …… 金属膜、



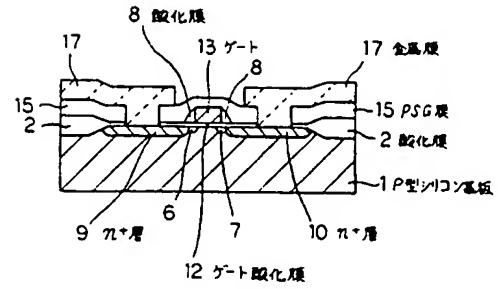
第1図

特許出願人 日本電気株式会社  
代理人 井理士 内 原 晋

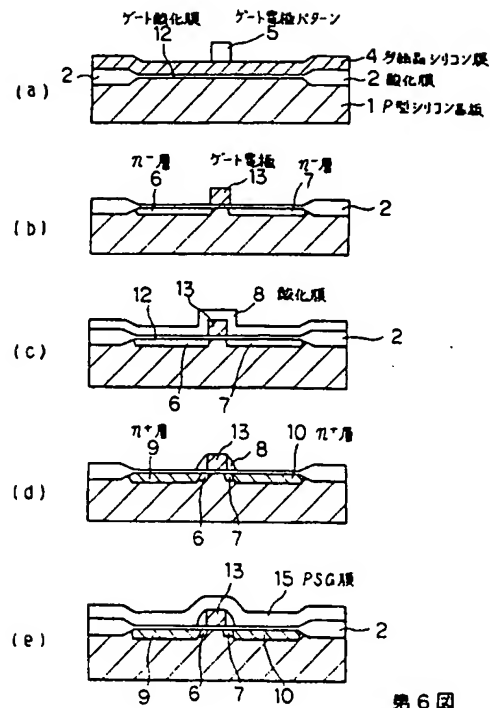




第4図



第5図



第6図